

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-086787

(43)Date of publication of application : 20.03.2003

(51)Int.Cl.

H01L 29/41  
H01L 21/28  
H01L 21/3065  
H01L 21/336  
H01L 29/78

(21)Application number : 2001-277940

(71)Applicant : HITACHI LTD

(22)Date of filing : 13.09.2001

(72)Inventor : EBARA GEN

FUJII YUJI

SATO AKIHIKO

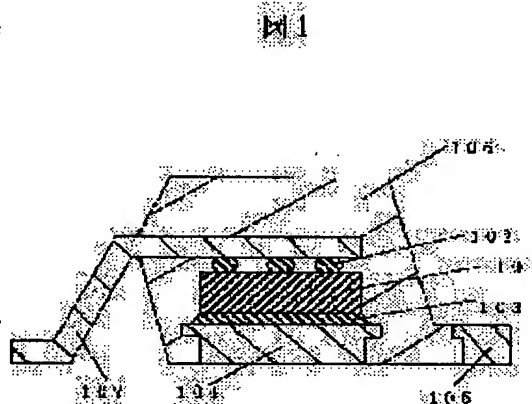
IHAYAZAKA TAKASHI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

### (57)Abstract

**PROBLEM TO BE SOLVED:** To provide a technique for preventing a reverse-side electrode from peeling out of a semiconductor device which has the reverse-side electrode.

**SOLUTION:** The manufacturing method for the semiconductor device has a 1st process of forming circuit elements in a plurality of semiconductor chip areas sectioned by a dicing area on one main surface of a semiconductor wafer; a 2nd process of grinding the circuit element forming surface (top surface) of the semiconductor wafer and the opposite-side surface (reverse surface); a 3rd process of further flattening them after the 2nd process; a 4th process of forming the reverse-surface electrode after the 3rd process; and a 5th process of cutting the wafer into individual semiconductor chips by dicing, electrically connecting external electrodes and leads of the semiconductor chips, and sealing the semiconductor chips, leads, and electric connection parts with resin. After the 3rd process, the reverse surface of the semiconductor wafer is roughened into an uneven rough surface, and the reverse-surface electrode is formed on the roughened reverse surface of the semiconductor wafer through the 4th process.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-86787

(P2003-86787A)

(43) 公開日 平成15年3月20日 (2003.3.20)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード <sup>*</sup> (参考)
H 0 1 L 29/41		H 0 1 L 21/28	A 4 M 1 0 4
21/28		29/78	6 5 2 L 5 F 0 0 4
21/3065		29/44	B
21/336		29/78	6 5 8 F
29/78	6 5 2		6 5 8 G
審査請求 未請求 請求項の数 3 O L (全 8 頁) 最終頁に続く			

(21) 出願番号 特願2001-277940 (P2001-277940)

(22) 出願日 平成13年9月13日 (2001.9.13)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 江原 玄

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72) 発明者 藤井 裕二

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100083552

弁理士 秋田 収喜

最終頁に続く

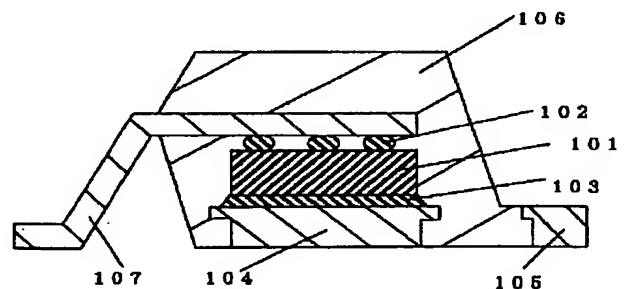
(54) 【発明の名称】 半導体装置とその製造方法

## (57) 【要約】

【課題】 裏面電極を有する半導体装置において裏面電極の剥がれを防止できる技術を提供する。

【解決手段】 半導体ウエハの一主面にダイシングエリアで区画された複数の半導体チップ形成領域に回路素子を形成する第1工程と、前記半導体ウエハの回路素子形成面（表面）とその反対側の面（裏面）を研削する第2工程と、該第2工程の後さらに平坦化する第3工程と、該第3工程の後裏面電極を形成する第4工程と、その後ダイシングして個々の半導体チップに分離し、前記半導体チップの外部電極とリードとを電気的に接続し、前記半導体チップとリードと前記電気的接続部とを樹脂封止する第5工程とを有する半導体装置の製造方法であって、前記第3工程後に、当該半導体ウエハの裏面を凹凸の粗面に加工し、該粗面加工された半導体ウエハの裏面に前記第4工程の裏面電極を形成する。

図 1



## 【特許請求の範囲】

【請求項 1】半導体ウエハの一主面にダイシングエリアで区画された複数の半導体チップ形成領域に回路素子を形成する第 1 工程と、前記半導体ウエハの回路素子形成面（表面）とその反対側の面（裏面）を研削する第 2 工程と、該第 2 工程の後さらに平坦化する第 3 工程と、該第 3 工程の後裏面電極を形成する第 4 工程と、その後ダイシングして個々の半導体チップに分離し、前記半導体チップの外部電極とリードとを電気的に接続し、前記半導体チップとリードと前記電気的接続部とを樹脂封止する第 5 工程とを有する半導体装置の製造方法であって、前記第 3 工程後に、当該半導体ウエハの裏面を凹凸の粗面に加工し、該粗面加工された半導体ウエハの裏面に前記第 4 工程の裏面電極を形成することを特徴とする半導体装置の製造方法。

【請求項 2】請求項 1 に記載の半導体装置の製造方法において、前記加工された凹凸の凸部と凸部との距離は 10 nm から 200 nm であり、前記凹凸の凹部の深さは 10 nm から 100 nm であることを特徴とする半導体装置の製造方法。

【請求項 3】請求項 1 に記載の半導体装置の製造方法において、前記半導体ウエハ裏面の粗面加工は、 $CF_4$  ガスと  $O_2$  ガスとの混合ガスを用いたプラズマエッチング処理、リアクティブイオンエッチング処理、マイクロ波ドライエッチング処理、 $Ar$  スパッタエッチング処理、ハロゲン系ガスを用いたドライエッチング処理、及びフッ酸と硝酸と硫酸との混酸を用いたスピンエッチング処理のうちいずれか一つの処理により行うことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置とその製造方法に関し、裏面電極を有する半導体装置の裏面電極と半導体基板との密着性を向上させる技術に適用して有効な技術に関するもので、例えば、パワー MOSFET (Metal Oxide Semiconductor Field Effect Transistor)、IGBT (Insulated Gate Bipolar Transistor)、小信号トランジスタ、サイリスタなどの裏面電極を有する半導体装置に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】従来の半導体装置、例えばパワー MOSFET、IGBT 等の裏面電極を有する半導体装置は、その半導体チップの構造において、半導体素子が形成されている面（表面）にゲート電極及びソース電極が配置され、前記半導体素子が配置されている面（表面）と反対側の面（裏面）にドレイン電極が配置されている。前記半導体チップの製造工程において、通常、半導体ウエハの一主面に回路素子を形成した後、回路素子形成面の

反対面を研削して所定の厚さに加工し（裏面研削工程）、その後裏面研削の研削痕を除去するため平坦に加工し（平坦化工程）、その後裏面電極を形成する（裏面電極形成工程）。

## 05 【0003】

【発明が解決しようとする課題】本発明者は、前記従来技術を検討した結果、以下の問題点を見いだした。前記裏面電極は、前記半導体ウエハの裏面研削工程、平坦化工程後に形成される。平坦化された半導体ウエハの裏面に、裏面電極が形成されるが、半導体ウエハの裏面と裏面電極との接着力が弱いため、その後の製造工程、例えば、裏面電極の剥がれ検査工程、バンプ形成工程、ダイシング工程において、裏面電極の剥がれが生じる場合がある。

10 【0004】前記剥がれ検査工程では、回路素子の形成された半導体ウエハの所定の部分、例えば回路素子が形成されない領域の一部に応力を加えて、裏面電極の剥がれが生じるか否かを検査する。この場合、前記半導体ウエハ裏面と裏面電極との接着力が弱いと剥がれが生じる。

20 【0005】前記バンプ形成工程では、バンプ形成の際に、高温で長時間の熱処理が行われる。半導体ウエハの裏面が平滑な加工面であるため、半導体ウエハと裏面電極との接着力が低下し剥がれが生じる。

25 【0006】ダイシング工程において、ダイシングが終了し、半導体チップをピックアップする際に、ダイシングテープの接着力により、半導体ウエハ裏面と裏面電極との接着力が弱いと、裏面電極が剥がれる。

30 【0007】本発明の目的は、裏面電極を有する半導体装置において裏面電極の剥がれを防止することが可能な技術を提供することである。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

## 【0008】

35 【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。第 1 の発明は、半導体ウエハの一主面にダイシングエリアで区画された複数の半導体チップ形成領域に回路素子を形成する第 1 工程と、前記半導体ウエハの回路素子形成面（表面）とその反対側の面（裏面）を研削する第 2 工程と、該第 2 工程の後さらに平坦化する第 3 工程と、該第 3 工程の後裏面電極を形成する第 4 工程と、その後ダイシングして個々の半導体チップに分離し、前記半導体チップの外部電極とリードとを電気的に接続し、前記半導体チップとリードと前記電気的接続部とを樹脂封止する第 5 工程とを有する半導体装置の製造方法であって、前記第 3 工程後に、当該半導体ウエハの裏面を凹凸の粗面に加工し、該粗面加工された半導体ウエハの裏面に前記第 4 工程の裏面電極を形成

45 50 することを特徴とする。

【0009】第2の発明は、第1の発明に記載の半導体装置の製造方法において、前記加工された凹凸の凸部と凸部との距離は10nmから200nmであり、前記凹凸の凹部の深さは10nmから100nmであることを特徴とする。

【0010】第3の発明は、第1の発明に記載の半導体装置の製造方法において、前記半導体ウエハ裏面の粗面加工は、 $CF_4$ ガスと $O_2$ ガスとの混合ガスを用いたプラズマエッチング処理、リアクティブイオンエッチング処理、マイクロ波ドライエッチング処理、 $Ar$ スパッタエッチング処理、ハロゲン系ガスを用いたドライエッチング処理、及びフッ酸と硝酸と硫酸との混酸を用いたスピニング処理のうちいずれか一つの処理により行うことを特徴とする。

【0011】前記発明の手段によれば、裏面研削、平坦化処理の後に、半導体ウエハの裏面を凹凸の粗面に加工し、該凹凸の粗面加工された半導体ウエハの裏面に裏面電極を形成することで、凹凸の粗面加工面と裏面電極との接触面積が大きくなるため、摩擦力が増大し、該摩擦力により接着力が向上するので、その後の製造工程における裏面電極の剥がれを防止できる。

【0012】以下、本発明について、図面を参照して実施の形態（実施例）とともに詳細に説明する。なお、実施の形態（実施例）を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0013】

【発明の実施の形態】図1は、本発明の一実施形態の半導体装置の断面図、図2は、本実施形態の半導体チップの断面概略図、図3は、本実施形態の半導体装置の製造工程の前工程を示すフローチャート、図4は、図2のAの部分の拡大図である。

【0014】本実施形態の半導体装置は、図1に示すように、LFPAK (Loss Free Package) 型半導体装置である。該半導体装置は、回路素子が形成された半導体チップ101と、前記半導体チップ101の外部電極（パッド）上に形成された金バンプ102と、半導体チップ101を電極104にボンディングする接着層103と、半導体チップ101がボンディングされている電極104と、半導体チップ101の外部電極と金バンプ102を介して電氣的に接続されるリード107と、放熱性能を高めるためのヘッダ105と、半導体チップ101と接着層103とリード107と金バンプ102とをモールド封止する封止樹脂106を備えている。接着層103には、例えば銀ペーストなど導電性接着材を用いる。

【0015】本実施形態における半導体チップ101は、図2（詳細な構造は本発明に直接関係ないので省略した）に示すように、半導体基板205上にエピタキシャル層及び拡散層204により回路要素が構成され、前

記エピタキシャル及び拡散層204上に、ゲート電極202、ソース電極201が配置されている。また、前記半導体基板205の裏面には、裏面電極206が形成されている。前記半導体基板205の裏面は凹凸に粗面加工されており、該凹凸の粗面加工面に裏面電極206が形成されている。

【0016】以下、本実施形態における半導体装置の製造方法について説明する。まず、前工程を、図3を用いて、説明する。半導体ウエハの一主面にダイシングエリアで区画された複数の半導体チップ形成領域に回路素子を通常の製造方法、例えばパワーMOSFETまたはIGBTの製造方法により形成する。半導体ウエハには、製造する回路素子に応じて、例えば、ボロン、リン、アンチモン、砒素がドーパされたシリコンウエハを用いる。

【0017】次に、前記半導体ウエハの回路素子形成面（表面）と反対側の面（裏面）を所定の厚さにするために研削する（ステップ301）。次に、該研削面の研削痕を除去するために、例えばエッチング、または研磨等により平坦化処理を行う（ステップ302）。例えば、1 $\mu$ m程度、エッチング、または研磨を行う。

【0018】次に、ステップ302により平坦化された半導体ウエハ裏面を凹凸の粗面に加工する（ステップ303）。該粗面加工は、図4に示すように、凹凸における凸部と凸部との距離Lが10nmから200nm、凹部の深さBが10nmから100nmになるように加工する。例えば、平行平板プラズマエッチング装置により、ガスを $CF_4$ と $O_2$ との混合ガス、パワー密度を0.83W/cm<sup>2</sup>以上、ガス滞留時間を0.7秒以上とした条件により加工する。前記凹凸の粗面加工は、その加工量によって裏面電極との接着性に違いが生じる。そのため、凹凸の粗面加工の条件の検討を行った。

【0019】図5は、エッチング条件を変化させてエッチング処理を行った粗面加工面を示すSEM (Scanning Electron Microscope) 像である。この場合、砒素がドーパされたウエハを用い、エッチングガスには $CF_4$ と $O_2$ の混合ガスを用い、圧力を0.4 Torr、処理時間を2分30秒とした。エッチングパラメータの中で、RFパワーとガス流量を変化させて粗面加工を行った。図5において、

(A)はRFパワー250W、ガス流量120sccm、(B)はRFパワー200W、ガス流量120sccm、(C)はRFパワー150W、ガス流量120sccm、(D)はRFパワー100W、ガス流量120sccm、(E)はRFパワー150W、ガス流量60sccm、(F)はRFパワー150W、ガス流量90sccm、(G)はRFパワー150W、ガス流量150sccm、(H)はRFパワー150W、ガス流量180sccmの条件によりエッチング処理を行った粗面加工面を示すそれぞれのSEM像である。図5に示すよ

うに、RFパワーを上げ、またガス流量を減少させた場合に粗面加工の凹凸が顕著に観察される。前記図5の実験は砒素をドーブした場合であるが、他の元素、例えばボロン、リン、アンチモンをドーブした半導体ウエハについても同様の傾向が見られた。

【0020】また、AFM (atomic force microscope) により前記凹凸の粗面加工面を詳細に検討した。図6は、前記凹凸の粗面加工面のAFM像である。図6において、(A)は4 $\mu$ m $\square$ 領域の凹凸の粗面加工面のAFM像であり、(B)は1 $\mu$ m $\square$ 領域の凹凸の粗面加工面のAFM像である。図6により、該凹凸の粗面加工は、凹凸における凸部と凸部との距離が10nmから200nm、凹部の深さが10nmから100nmに加工されている。

【0021】前記凹凸の粗面加工は前記プラズマドライエッチングに限らず、リアクティブイオンエッチング、マイクロ波ドライエッチング、Arスパッタエッチング、他のハロゲン系ガス(SF<sub>6</sub>、Cl<sub>2</sub>、HBr、CHF<sub>3</sub>など)を用いたドライエッチング、フッ酸と硝酸と硫酸との混酸を用いたスピネッチングによって行ってもよい。

【0022】次に、ステップ303により凹凸に粗面加工された半導体ウエハの裏面に裏面電極206を形成する(ステップ304)。例えば、Ti、Ni、Ag、またはTi、Ni、Auを順次成膜する。成膜は、蒸着装置、スパッタ装置、イオンプレーティング装置により行う。ステップ303の凹凸の粗面加工により、凹凸の粗面加工面と裏面電極との接触面積が大きくなるため、摩擦が増大し、該摩擦により接着力が向上する。

【0023】次に、剥がれ検査により裏面電極206の剥がれが生じるか否かを検査する(ステップ305)。ステップ303により、半導体ウエハ裏面が凹凸の粗面に加工され、その上に裏面電極206が形成されているため、半導体ウエハ裏面と裏面電極206との接着力が向上しているため、剥がれは生じない。次に、プローブ検査により、回路素子の電気的特性の検査が行われる(ステップ306)。

【0024】図7は、本実施形態の半導体装置の製造工程の後工程を示すフローチャートである。後工程は、図7に示すように、ステップ306により良品とされた回路素子の外部電極(パッド)上に金バンプ102が形成される(ステップ701)。金バンプ102形成の際には、190℃程度の温度により1時間以上の熱処理が行われる。ステップ303により、半導体ウエハ裏面が凹凸の粗面に加工され、その上に裏面電極206が形成されているため、半導体ウエハ裏面と裏面電極206との接着力が向上しているため、剥がれは生じない。

【0025】次に、ダイシングにより、個々の半導体チップ101に分割され、成形される(ステップ702)。ステップ303により、半導体ウエハ裏面が凹凸

の粗面に加工され、その上に裏面電極206が形成されているため、半導体ウエハ裏面と裏面電極206との接着力が向上しているため、剥がれは生じない。

【0026】次に、通常のリード製造工程により製造されたリード107とステップ701により形成されたバンプとの電気的接続が行われる(ステップ703)。例えば、フリップチップボンディングにより行われる。

【0027】次に、半導体チップ101と電極104を接着層103で接着する(ステップ704)。例えば、ベレット付けにより行われる。次に、接着層103を熱硬化するためにベークが行われる(ステップ705)。

【0028】次に、前記半導体チップ101とリード107と前記電気的接続部とを封止樹脂106によりモールド封止し(ステップ706)、前記封止樹脂106の硬化を促進させるために加熱される(ステップ707)。次に、モールド樹脂106上にマーキングが行われる(ステップ708)。次に、個々の半導体装置に分離され(ステップ709)、選別され(ステップ710)、出荷される。

【0029】以上、本発明者によってなされた発明を、実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは無論である。

【0030】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡潔に説明すれば、下記のとおりである。本願発明によれば、裏面研削、平坦化処理の後に、半導体ウエハの裏面を凹凸の粗面に加工し、該凹凸の粗面加工された半導体ウエハの裏面に裏面電極を形成することで、凹凸の粗面加工面と裏面電極との接触面積が大きくなるため、摩擦が増大し、該摩擦により接着力が向上するので、その後の製造工程における裏面電極の剥がれを防止できる。

【図面の簡単な説明】

【図1】本発明の一実施形態の半導体装置の断面図である。

【図2】本実施形態の半導体チップの断面概略図である。

【図3】本実施形態の半導体装置の製造工程の前工程を示すフローチャートである。

【図4】図2のAの部分の拡大図である。

【図5】本実施形態の粗面加工面を示すSEM像である。

【図6】図5の凹凸の粗面加工面のAFM像である。

【図7】本実施形態の半導体装置の製造工程の後工程を示すフローチャートである。

【符号の説明】

101…半導体チップ  
102…金バンプ

103...接着層  
105...ヘッダ  
樹脂  
107...リードフレーム  
ス電極

104...電極  
106...封止  
201...ソー

202...ゲート電極

203...保護

膜

204...エビタキシャル層及び拡散層

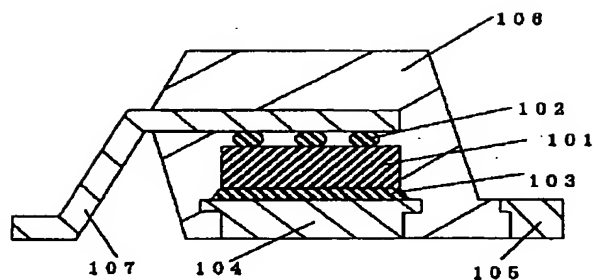
205...半導

体基板

05 206...裏面電極

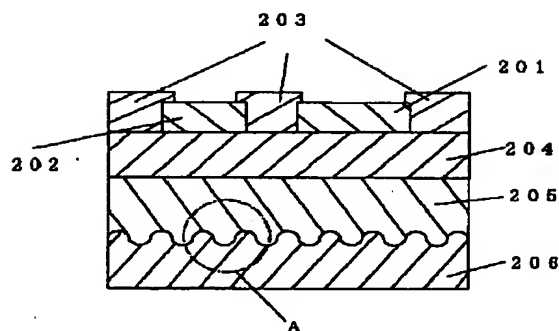
【図1】

図1



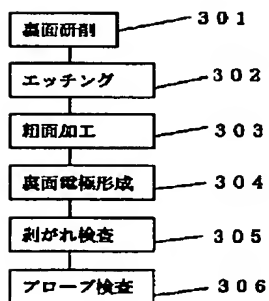
【図2】

図2



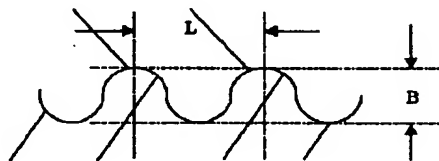
【図3】

図3



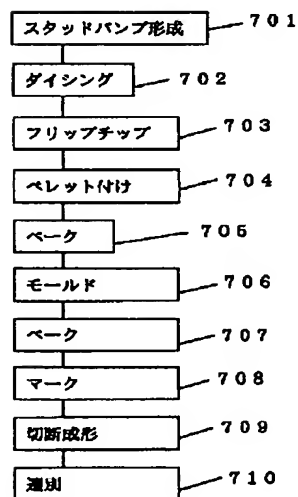
【図4】

図4

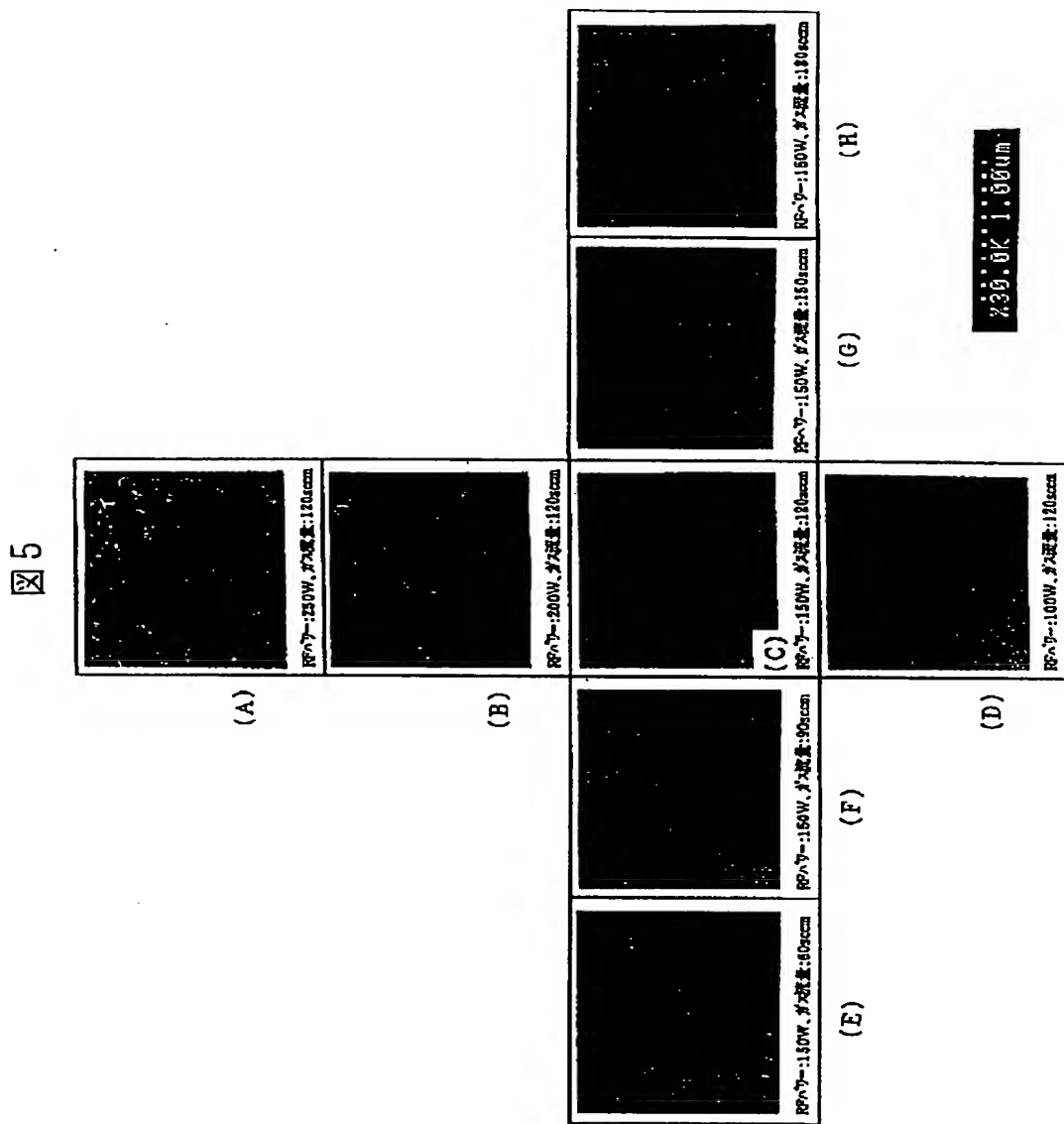


【図7】

図7

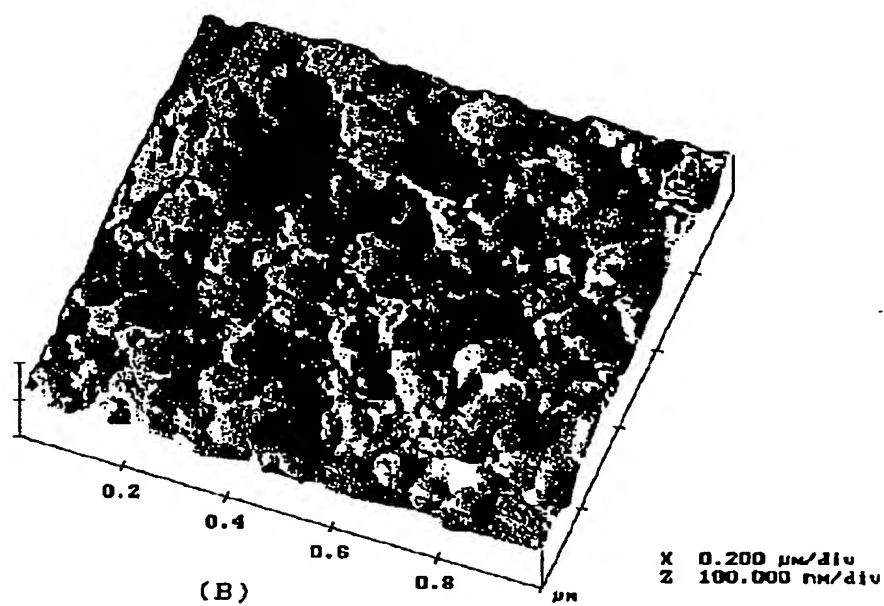
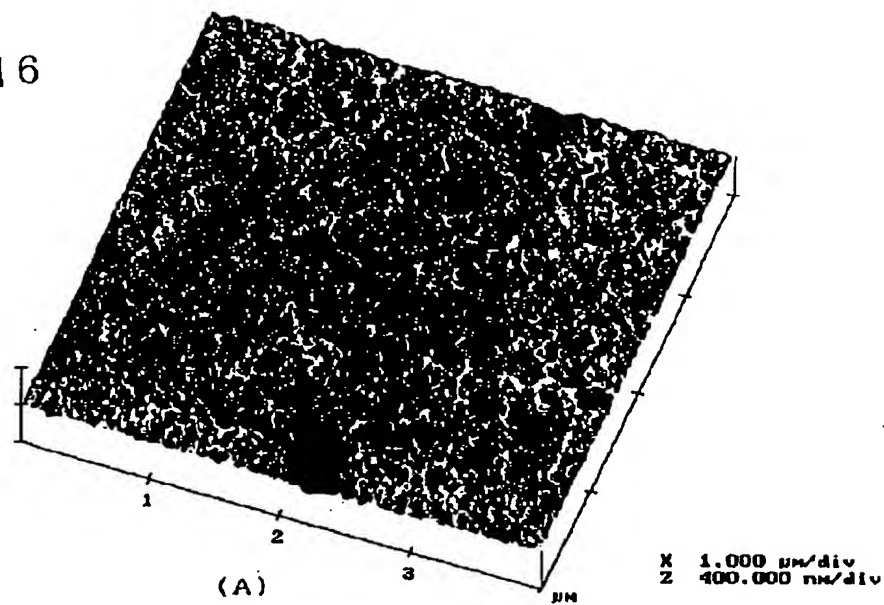


【図5】



【図6】

図 6





フロントページの続き

(51)Int.Cl.	識別記号	F I H O 1 L 21/302	マーク(参考) A
(72)発明者	佐藤 昭彦 東京都小平市上水本町五丁目20番1号 株 式会社日立製作所半導体グループ内	Fターム(参考)	4M104 AA01 BB14 CC01 DD24 DD34 DD36 DD37 FF02 FF31 GG07 GG09 GG18 HH20
(72)発明者	伊早坂 尚 東京都小平市上水本町五丁目20番1号 株 10 式会社日立製作所半導体グループ内		5F004 AA16 BA04 BB13 BB14 DA00 DA01 DA04 DA16 DA18 DA26 EA10 EA31 EA34